

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189733
(43)Date of publication of application : 21.07.1998

(51)Int. Cl. H01L 21/768
C23C 14/04
H01L 21/28
H01L 21/306

(21)Application number : 09-345428 (71)Applicant : TEXAS INSTR INC <TI>
(22)Date of filing : 15.12.1997 (72)Inventor : ROBERT H HEIBMAN

(30)Priority

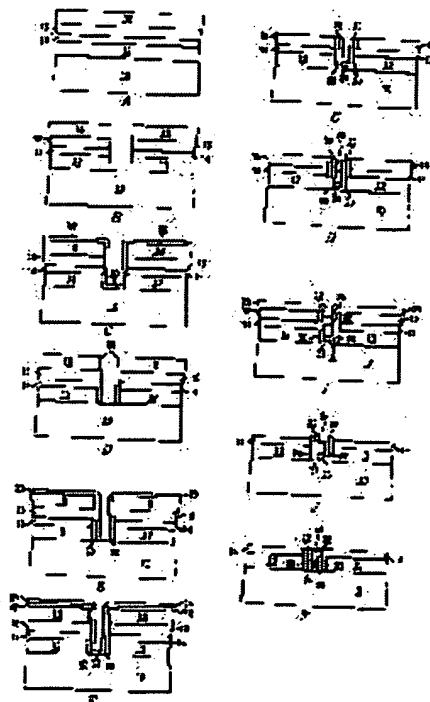
Priority number 96 32976 Priority date 13.12.1996 Priority country US
: : :

(54) METAL COATING METHOD FOR POROUS DIELECTRIC

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate a CMP treatment for burying porous dielectric in damascene metal and to suppress absorbing trend of moisture with low mechanical strength, in a method for electrically connecting a via hole or conductor to a conductive region on a surface of an electronic microcircuit base to form the via hole or conductor on a dielectric layer existing on the base.

SOLUTION: A dielectric layer is formed on a base 10, an extrafine dielectric layer 14 is formed on the base 10, and a plane forming stop material is deposited on a top surface of the extrafine porous dielectric. Further, photoresist is deposited, patterned, the stop material and the porous dielectric layer 14 are etched on a conductor pattern, and at least part of the conductive region on the surface of the base 10 is exposed. A wall seal 20 is deposited, a conductor 26 is deposited, and



this structure is flatly formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

特開平10-189733

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/768		H 0 1 L 21/90	C
C 2 3 C 14/04		C 2 3 C 14/04	B
H 0 1 L 21/28		H 0 1 L 21/28	L
21/306		21/306	F

審査請求 未請求 請求項の数 1 O L (全 12 頁)

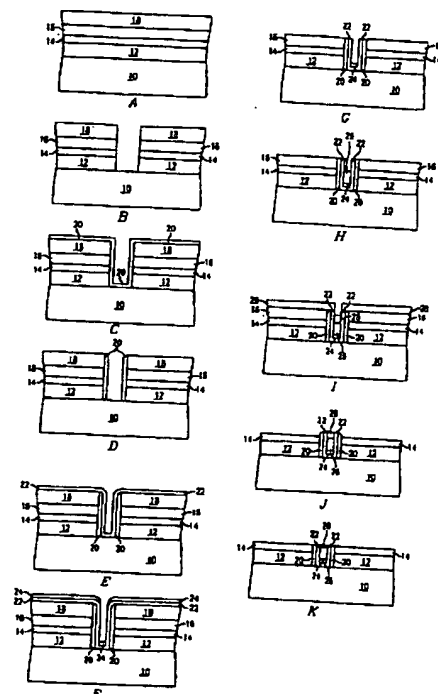
(21) 出願番号	特願平9-345428	(71) 出願人	590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 13500
(22) 出願日	平成9年(1997)12月15日	(72) 発明者	ロバート エイチ. ハイプマン アメリカ合衆国テキサス州ガーランド、ス チルウォーター コート 7413
(31) 優先権主張番号	0 3 2 9 7 6	(74) 代理人	弁理士 浅村 皓 (外3名)
(32) 優先日	1996年12月13日		
(33) 優先権主張国	米国 (U S)		

(54) 【発明の名称】 多孔性誘電体の金属被覆法

(57) 【要約】

【課題】 電子的マイクロ回路基体上に存在する誘電体層上にビアホールあるいは導体を形成するため、そのビアホールあるいは導体が上記基体の表面上の導電性領域に電気的に接続されるようにする方法において、従来技術の課題であった、ダマスセン金属に多孔性の誘電体を埋め込むCMP処理の困難性、並びに機械的強度が低く湿気を吸収しがちである多孔性誘電体の問題点を解決する。

【解決手段】 基体 (10) 上に誘電体層を形成すること、基体 (10) 上に極細誘電体層 (14) を形成すること、上記極細多孔性誘電体の頂部表面上に平面形成停止材料を蒸着すること、フォトリソを蒸着してパターン化すること、上記停止材料および極細多孔性誘電体層 (14) を導体パターンにエッチングして上記基体 (10) の表面上の上記導電性領域の少なくとも一部を露出すること、壁シール (20) を蒸着すること、導体金属 (26) を蒸着すること、この構造体を平面形成すること、のステップを具備する構成とした。



【特許請求の範囲】

【請求項1】 電子的マイクロ回路基体上に存在する誘電体層上にビアホールあるいは導体を形成する方法であって、そのビアホールあるいは導体が上記基体の表面上の導電性領域に電気的に接続されるようにする方法において、

上記基体上に極細多孔性誘電体層を形成すること、
上記極細多孔性誘電体の頂部表面上に平面形成停止材料を蒸着すること、
フォトリソストを蒸着してパターン化すること、
上記停止材料および極細誘電体層を導体パターンにエッチングして上記基体の表面上の上記導電性領域の少なくとも一部を露出すること、
壁シールを蒸着すること、
導電体金属を蒸着すること、
当該構造体を平面形成すること、からなる方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマイクロ回路に関し、より詳細には半導体基体上に金属被覆を与える方法に関する。

【0002】

【従来の技術】 半導体基体上に金属被覆を与える方法は同一出願人の継続米国特許出願番号SN06/016, 054号(TI社書類番号TI-23228)およびSN06/015, 843号(TI社書類番号TI-22445)に記載されている。半導体工業界において、マイクロ電子回路の製造は、典型的に、単結晶シリコンあるいは絶縁体からなる基体を使用し、単結晶シリコン上で相互接続(ビアホールを含めて)を行い、かつ材料を絶縁したり導通する幾つかの薄膜がシリコン表面に逐次的に形成あるいはパターン化されることを一般的に必要とする。半導体基体上での従来の配線は少量の銅を有するアルミニウム導体を用いているが、あるマイクロ回路には銅の導体を用いることが提案されている。勿論、プリント回路基板に対する銅配線および無電解銅堆積は既知である。

【0003】 一般的に、絶縁膜は導体(内部レベル誘電体)間で水平にかつ同時に導体(中間レベル誘電体)の層間で垂直になった密度のある二酸化シリコン誘電体である。金属充填ビアホール(via)は、例えば種々のレベルの導体間に電気接続を与えるために使用される。このような金属充填は、一般的に例えばスパッタリングあるいは真空溶着といった物理的蒸着法(PVD)によって与えられている。

【0004】 本発明は半導体集積回路と共に使用するため多孔性の誘電体の溝(トレンチ)に埋め込まれた導体を用いる。このようなプロセスは、切削された溝に希有金属をめぐらすことによって鉄を装飾するためのダマスカスの古典的技術に類似しており、以下ダマスセンプロ

セスと呼ぶ。ダマスセンプロセスにおいては、ある材料を、他を残して選択的に除去するために化学的機械研磨(CMP)を用いることが好ましい。

【発明が解決しようとする課題】

【0005】 多孔性の誘電体に埋め込まれたダマスセンプロセスのCMPは特殊なプロセスを必要とする。多孔性誘電体は標準の酸化物誘電体よりもより低い機械的強度を持つ傾向があり、また湿気を吸収しがちである。本発明はこれらの欠点を克服する方法を記載する。

【課題を解決するための手段】

【0006】 1つの方法は表面に向かって密度を徐々に高くする状態で多孔性誘電体において傾斜した密度勾配を用いることを示す。他の実施例はCMPのための停止層としてより堅い誘電層を与えることである。別態様として、CMP時に、研磨されている金属と金属停止層との間で十分な特異性を有する金属停止層が使用される。また、CMP停止層は湿気および/または拡散障壁を与えるためにダマスセンプロの溝に配置されてもよい。他の新規な機械的補強方法は後に項目として記載される。この方法は、一般的に、基体上に極細多孔性誘電体を形成すること、上記極細多孔性誘電体の頂部表面上に平面形成停止材料を蒸着(deposition)すること、フォトリソストを蒸着してパターン化すること、上記停止材料および極細誘電体層を導電体エッチングし上記基体の表面の上記導電性領域の少なくとも一部を上記基体の表面に露出すること、壁シールを蒸着すること、導電体金属を蒸着すること、並びにこの構造体を表面形成すること、からなる。

【0007】 壁シールを蒸着する方法は、表面形成停止材料および極細多孔性誘電体層上に誘電体を等方向的に蒸着すること、並びにこの誘電体を異方向的にパターン化してエッチングし上記平面形成材料および上記基体の表面の導電領域から上記誘電体を除去することからなる。

【0008】 他の実施例は、平面形成停止材料および極細誘電層上に導電材料を蒸着する壁シールを開示する。

【0009】 導電体の溶着は、スパッタリングによって、例えば300~600°Cの温度での金属イオン援助あるいは高密度プラズマ(HDP)スパッタリングによって溶着されたブランケット金属でなされてもよい。

【0010】 種層(選択的蒸着のイニシエータ)はタングステン、チタン、パラジウム、銅、アルミニウムあるいはそれらの組合せからなる群から選択されてもよい。

【0011】 導体金属は、その導電体金属からのドーパント拡散によりドーピングされている選択的に蒸着されたビア(via)金属でドーピングされてもよく、それによって、ドーピングされた選択的金属を蒸着する困難性を回避する。

【0012】

【発明の実施の形態】 本発明の上述の特徴は添付図面に

関連して以下の詳細な記載を読めばより十分に理解されるであろう。本発明は極細誘電体層を含んだマイクロ回路基体上に導体および／またはビアホールを与える方法およびその構造体を提供する。

【0013】本発明の導体およびビアホールは、一般的に、銅、タングステン、アルミニウムあるいはそれらの組合せのいずれかである。一般的に、銅はドライエッチングに困難性を呈し、銅に対する1つの手法は、例えば化学的機械研磨（CMP）によって絶縁体の頂部の材料を除去する前に穴を充填して周囲の絶縁体の頂部表面を皮膜するようにビアホール（via）あるいは溝が（金属の真空蒸着あるいはスパッタリング等により）充填されるようなダマスセン形のプロセスを使用することであった。幾つかの実施例でのプロセスが一般的に銅と共に使用されるようにカプセル化の状態で見られるが、アルミニウムでは導体の側壁が依然として好ましいので、完全なカプセル化は典型的に使用されない。密度のある中間レベル誘電体を使用され得るが、本明細書のある例では、低密度「エーロゲル」形誘電体を使用される。低密度エーロゲルの蒸着はテキサスインスツルメンツ社に譲渡された「半導体基体上に薄膜エーロゲルを形成するためのポリオールに基づく方法」と題する1996年3月25日に出願された係属出願（テキサスインスツルメンツ連続番号T I-22782）に記載されている。

【0014】図1A-1Kは銅の金属被覆法と共に使用され得る導体のためのダマスセン形プロセス（銅充填ビアホールおよび銅導体でのカプセル化が好ましく、ダマスセンプロセスは銅導体に対して好ましい）。基体10は、一般的に、マイクロ電子要素を含み、本明細書において使用されるように、シリコン基体上に導体および誘電体を含んでもよい。低密度のエーロゲル12（例えば、30%の理論的密度のエーロゲルの1ミクロンの厚さの層）が中間層誘電体として使用される。このエーロゲルは次いでエーjingされる（例えば140°Cで1分間）。この実施例は、例えば85~90%密度の0.1ミクロンといったエーロゲル14の高密度中間層を用い、次いでこれが低密度エーロゲル上に付与されてエーjingされ、両エーロゲル層は乾燥される。物理的気相蒸着「防食」層16（例えば、0.5ミクロンの窒化シリコン）がエーロゲル上に付与され、フォトレジスト18が図1Aの構造体を与えるように防食層上に付与される。

【0015】図1Bは、フォトレジストがパターン化されかつ下側の層が基体10に向かって下方にエッチングされた後の基体を示す。図1Cは誘電体シール層20（例えば、0.1ミクロンのパラレン）が蒸着された後の構造体を示す。図1Dは垂直側壁形の誘電体シール20を与えるように等方向的エッチングバック処理が誘電体シール層材料20を水平表面から除去した後の構造体を示す。図1Eは化学的気相蒸着された窒化チタンカプ

セル化層22を示し、これは、例えば0.01ミクロンの厚さに蒸着される。

【0016】図1Fは等方向的に蒸着した選択性蒸着イニシエータ24（例えば、真空蒸着あるいはスパッタリングしたパラジウムあるいは白金）を示す。次いで、フォトレジスト層18が、図1Gに示されるような構造体を残して、リフトオフプロセスによってその上方の全ての層を除去するようにはぎ取られる（24が溝の底部に残っている）。次いで、導体材料26がイニシエータ24上に選択的に蒸着され（例えば、この材料は当該技術で周知のように液体前駆物質からの「電解」銅蒸着プロセスによって与えられる銅である）、好ましくは図1Hの構造体を作るように高密度エーロゲル層14の底部よりも上であるが防食層16の底部より下で溝を部分的に満たす。ある条件下では、この選択的蒸着が同様生じるが、これよりも極めて低い速度では窒化チタンカプセル化層22上に生じてしまうことを特記する。同等のより大きな選択性を与えるためにカプセル化材料として窒化シリコンが使用され得るが、選択的に除去されることが（例えば導体がビア金属への電気的接触を作るべき底部部分があればそれから）必要となる。

【0017】図1Iは水平表面に蒸着されかつ防食層16の底部の上まで導体26の頂部を覆う頂部導体カプセル化層28（例えば、0.01ミクロンの厚さに物理的真空蒸着された窒化チタン）を示す。次いで、防食層16はその層16の上にある頂部導体カプセル化層28の部分を取り除くようにはぎ取られる。これは図1Jの構成を与える。次いで、化学的機械研磨（CMP）が図1Kの構成を与えるようにこの構造体を平面形成するために使用される。

【0018】図2Aから2Eはビアホール（vias）のためのカプセル化形プロセス（同様、銅金属被覆法と共に使用されてもよい）を示す。図2Aは基体10の頂部上の初期レベル誘電体層30（例えば、スピノンガラスあるいは高密度エーロゲル）を示す（同様、基体10はマイクロ電子回路要素を含み、より低いレベルの導体および誘電体を含むことができる）。防食層32（例えば窒化シリコン）は初期レベル誘電体層30の上に与えられ、フォトレジスト層34は防食層32の上に与えられる。図2Bはフォトレジストのパターン化並びに防食層32および中間レベル誘電体30のエッチングの後の構造体を示す。ビアカプセル化層36（例えば、化学的蒸着された窒化チタン）が蒸着され、ビア選択的蒸着イニシエータ36（例えば真空蒸着されたパラジウムあるいは白金）が物理的気相蒸着によって加えられ、図2Bの構造体が作られる。フォトレジスト34がはぎ取られて、カプセル化材料36とビア選択的蒸着イニシエータ38の頂部部分が除去され、図2Cの構造体を作られる。ビア金属39が図2Dの構造体を作るようにビア選択的蒸着イニシエータ38上に蒸着される。次いで、防

食層がはぎ取られて、防食層 3 2 の頂部に不注意にも蒸着されてしまったビア金属があればそれも除去して、図 2 E の構造体が作られる。この構造体はビア金属 3 9 と接触することなくこの時に化学的機械研磨により平面形成されることができ、従って物理的に移動したり（「凸凹になったり」）中間レベル誘電体 3 0 の頂部に蒸着したりするようなビア金属 3 9 に付随した問題が解消されることを特記する。

【0019】図 3 A～3 G はビアホール（v i a s）および導体に対するカプセル化形プロセス（同様、銅金属被覆法と共に使用されてもよい）を示す。図 3 A は図 2 E の構造体の頂部に蒸着された付加的な層を示す。低密度エーロゲル層 4 0、高密度エーロゲル層 4 2、防食層 4 4 およびフォトレジスト層 4 6 が図 1 A に関連して記載した層 1 2、1 4、1 6 および 1 8 に対して一般的に記載したような態様で蒸着される。ビア金属に向かって下向きに開いた導体溝 4 7 が示され、第 2 の導体溝 4 9 が内部層誘電体 3 0 に向かって（ビア金属の上ではなく）開いている。カプセル化層 4 8（例えば、0.10 ミクロンの窒化シリコン）が等方向的に蒸着される（例えば化学的気相組成化により）。選択的蒸着イニシエータ 5 0（例えば、0.01 ミクロンのパラジウム、白金あるいは銅）が図 3 B の構造体を作るように等方向的に蒸着される。図 3 C はフォトレジスト 4 6 がはぎ取られてカプセル化層 4 8 の部分、特にフォトレジスト 4 6 の上方に存在する選択的蒸着イニシエータ 5 0 を残すようにした構造体を示す。図 3 D は導体溝 4 7 および 4 9 内に蒸着された導体金属 5 2 を示す。好ましくは、導体 5 2 は選択的無電解蒸着によって少なくとも部分的に蒸着される。導体溝 4 7 の導体金属 5 2 はビア金属 3 9 に向かって下方に伸び、そのビア金属 3 9 と電気的接触を行う（ここでは、選択的蒸着イニシエータ 5 0 を介して）。好ましくは、導体金属 5 2 は最初に無電解蒸着により、次いで物理的蒸着により蒸着され、導体金属 5 2 は、好ましくは、図 3 D に示される構造体を与えるように防食層 4 4 の丁度底部レベルの下方まで導体溝 4 7 および 4 9 を満たす。図 3 E は物理的気相蒸着によって蒸着された頂部カプセル化層 5 4（例えば 0.01 ミクロンの窒化チタン）を示す。図 3 F は、防食層 4 4 をはぎ取って導体金属 5 2 の選択的蒸着時に不注意にも蒸着されてしまった導体金属があればそれを、物理的蒸着（それが使用された場合に）によって防食層 4 4 の頂部に蒸着された導体金属を、更には防食層 4 4 の頂部に同様蒸着された頂部カプセル化材料を取り去る。また、導体金属 5 2 を完全に蒸着するために選択的蒸着が使用される場合に、防食層は導体がきのこ状に過充填されないようにすることを特記する。図 3 G は表面を平面形成するためにオブションの化学的機械研磨が用いられた後の構造体を示す。極めて精密な幾何学的形態が平板印刷のための極めて小さな被写界深度を有するので平面形成が行わ

れる。また、比較的厚い頂部カプセル化層 4 4 の使用は導体金属の充填の深さの変動許容度を与えるので、全ての導体は好ましくは頂部カプセル化層 5 4 の薄層を少なくとも有していること、および平面形成は全ての導体に対してカプセル化層 5 4 の頂部を露出させていることを特記する。

【0020】図 4 は中間レベル誘電体の高さより少なく充填されたビアホールを用いるビア導体の組合せのためのプロセスを示す。図 4 A は、フォトレジスト 3 4 がリソグラフィの態様で露出されかつ現像され、中間レベル誘電体 3 0 がビア（v i a）を与えるためにエッチングされた後の中間レベル誘電体 3 0 とフォトレジスト 3 4 とを有する基体 1 0 を示す。図 4 B はビア金属 3 9 が選択的に蒸着された後の構造体を示す。フォトレジストが選択的蒸着により残余物としてここに示されているが、このフォトレジストは選択的蒸着に先立って除去されることができる。同様図示されていない他の実施例においては、防食層（例えば窒化シリコン）がフォトレジストと誘電体との間に蒸着され、フォトレジストが露出した防食層を残して選択的蒸着の前に除去される（一般的に、図 4 B の構造体を与えるが、フォトレジストの代わりにより強固な防食層を有することになる）。選択的蒸着は内部レベル誘電体 3 0 の高さよりも少なくビア金属を充填する。選択的蒸着はビア金属が中間レベル誘電体 3 0 の頂部に達する前に停止され得るが、またこの選択的蒸着は中間レベル誘電体 3 0 の頂部を越えるまで続けられることができ、次いでエッチングバックプロセスが金属レベルを誘電体 3 0 の頂部の下まで減少するように使用され得る。図 4 C はフォトレジストあるいは防食層をはぎ取った後の構造体を示す。同様、フォトレジストあるいは防食層をはぎ取れば、この層の頂部に不注意に蒸着されてしまったビア金属を除去する。図 4 D は導体金属被覆部分 5 6 の蒸着後の構造体を示す。この蒸着は、例えば真空蒸着あるいはスパッタリングされたアルミニウム等でなされ得る。図 4 D の構造体は一般的に平面形成を行わずに使用され得るが、ある場合には平面形成が所望されることがある。図 4 E は平面形成後の構造体を示す。好ましくは、平面形成は化学的電気機械研磨によって行われるが、フォトレジストのような平面形成材料上でスピンをを行い、次いでフォトレジストをエッチングバックし、導体金属 5 6 の頂部部分を除去して平面形成を与えるようにされ得る。

【0021】図 5 A～5 G は絶縁側壁カプセル化部分並びに導電頂部および底部カプセル化部分を備えた導体を与える組合せビアおよび導体プロセスを示す。図 5 A は誘電体 3 0、ビアライナ 3 6（例えば窒化チタン）、ビア選択的蒸着イニシエータ 3 8 およびビア金属 3 9 を備えた基体 1 0（一般的に、図 2 E の構成）を示す。低密度極細多孔性誘電体 4 0 およびフォトレジスト 4 6 が蒸着され（同様、図 2 E の構成上に）、フォトレジストは

フォトリソグラフィの態様で露出および現像され、極細多孔性誘電体40がエッチングされて、2つの開口が与えられ、その一方は中間レベル誘電体に向けて下方に、第2の開口はビア金属39を露出するように下向きにされる。図5Bにおいて、絶縁導体カプセル化材料が等方向的に蒸着され、次いで異方向的にエッチングされて、それぞれが窒化シリコン58からなる側壁構成が与えられる。図5Cは導電性導体底部カプセル化部分60（例えば窒化チタン）の等方向蒸着後の構造体を示す。図5Dは導体金属62（例えば、真空溶着あるいはスパッタリングされた銅）を示す。図5Eは導体頂部カプセル化部分64（例えば、0.5〜2ミクロンの等方向的に蒸着された窒化チタン）の蒸着後の構造体を示す。頂部カプセル化部分は、好ましくは、平面形成を可能とするように比較的厚いということを留意されたい。図5Fはフォトレジストをはぎ取って、導電性導体の底部およびカプセル化部分60、導体金属62並びに導体カプセル化部分の頂部部分を取り去った後の構造体を示す。図5Gは平面形成後の構造体を示す。同様に、平面形成は化学的機械研磨によってなされてもよい。

【0022】図6Aは中間層誘電体30（例えば、スピノングラスとして与えられる二酸化シリコン）を通るビア開口を備えた基体10を示す。図6Bは導体溝を備えるようにパターン化された極細多孔性シリカ誘電体層40を示す。図6Cは選択的金属（例えばアルミニウム）の蒸着後の構造体を示し、ここでは選択性金属の蒸着はビア金属の底部での基体の導電性領域によって開始される。図6Eにおいて、導体金属70（例えば、PVDあるいはCVDアルミニウム）が全体の領域にわたって蒸着され、この段階は導体溝を充填することを含んでいる。図6Fは平面形成後の構造体を示し、ここで過度の導体金属70が除去され、この平面形成は、また、極細多孔性誘電体40の頂部にあったカットフォーマル導体ライナ68の部分をも取り除く。この方法の利点は、ビアおよび導体金属の蒸着前にパターン化が完了され、従って、例えば、ビア金属、導体ライナおよび導体の蒸着が同じチャンバで逐次的に行われ得ることである。

【0023】図7Aは極細多孔性誘電体層40で覆われた基体10を示し、その層の上にはCMP停止層72が蒸着され、次いでそこに溝75がエッチングされている。この材料72は絶縁性であっても導電性であってもよく、CMPおよび湿気吸収時に機械的損傷に対して極細多孔性誘電体40の付加的な保護を与える。仕上げられた構造体は、絶縁性あるいは導電性のいずれかの停止層に対して同一であるこれらのプロセスを示す図7Aの構造体より以上に、CMP停止材料が絶縁体あるいは導体のいずれかである場合に、種々のシール付与ステップを必要とするため、図7B〜7EはCMP停止層が絶縁体すなわち SiO_2 あるいはプラズマ増強テトラエチル・オキシシレート（PETEOS）である場合の一層の

処理ステップを示し、図7F〜7HはCMP停止層が導体である場合の一層の処理ステップを示す。図7Bは側壁絶縁層82すなわち SiO_2 の蒸着後の図7Aを示し、そこでは溝75およびCMP停止層72の頂部表面が次いで絶縁層82で覆われる。図7Cは側壁絶縁層82がエッチングされた後の図7Bを示し、その処理によって絶縁材料82をCMP停止層の頂部および溝75の底部から取り去り、絶縁材料82を極細多孔性構造体40の側壁に沿って残す。図7Dは導体金属蒸着後の図7Cを示し、その処理によって極細多孔性層40およびCMP停止層72が覆われかつ溝75に充填され、基体10の表面での導電性領域90との電気的接続が行われる。基体10は単結晶シリコンすなわち絶縁体からなることができ、単結晶シリコン上で相互接続（ビアホールを含めて）する。図7EはCMP後の溝75内のダマセン金属74の図を示す。図示のように、平面形成停止材料72は、この材料72が部分的に除去されたとしても害は生じないが、図7E（絶縁性平面形成停止層）および図7H（導電性平面形成停止層）の両者においてCMPのための停止手段として働く。銅、アルミニウムあるいは合金のようなダマセン金属74は全表面にわたるスパッタリング、真空蒸着（vacuum evaporation）あるいは電着（electrodeposition）のような手段によって広く堆積される。

【0024】図8には極細多孔性誘電体層40を強化する構造体の機械的強固さ改善するための他の手段が示されている。導電層72の蒸着に先立って、ダマセン溝75がエッチングされた後に、層40の表面および溝が78で示されたようにより高い密度の誘電体を作るために処理されてもよい。更に、PETEOSのような強度が大きな誘電体材料の分散プラグ76およびこのような材料の環状リングが取扱い時およびCMPの間に一層の保護を与えるように使用されることができる。

【0025】図9Aおよび9Bには、CMP抑制手段および湿気バリアが2つの層、すなわち図8に示されるPETEOSのような絶縁層72および金属層80からなる実施例が示されている。この場合に、層80はダマセン溝75に対する改良した湿気バリアを与え、タンタル、アルミニウムあるいは窒化チタンとしてのそのような材料であってもよい。銅が金属74のために電着されるべきばあいには、この付加的な金属湿気バリアは極めて有利である。しかしながら、金属層80は他のダマセン被防護導体に対する好ましくない導通および漏電を回避するように層72まで研磨されなければならない。CMP後の結果が図9Bに示されている。

【0026】本発明は、ここに記載された特定の例に限定されるようには解釈されるべきではない（それらが制限的ではなく説明に関連するものであるためである）。例えば、別態様の実施例は低密度エーロゲル上に与えら

れるエーロゲル14の代わりに二酸化シリコンの高密度層（例えばスピノンガラス）を使用することができる（これは次いでエーミングされ、乾燥される）。好ましくは、バリア層（例えば、0.05ミクロンの窒化シリコン）が二酸化シリコンの高密度層の付与に先立ってエーロゲル14上に与えられる。湿気バリアおよびCMP抑制手段のために使用される複数の絶縁および導電層は図で使用された2つのものに制限されない。本発明は発明の精神および範囲から逸脱しない全てのプロセスおよび構造体を包含するように意図される。

【0027】以上の説明に関して更に以下の項を開示する。

【0028】（1）電子的マイクロ回路基体上に存在する誘電体層上にビアあるいは導体を形成する方法であって、そのビアあるいは導体が上記基体の表面上の導電性領域に電気的に接続されるようにする方法において、上記基体上に極細多孔性誘電体層を形成すること、上記極細多孔性誘電体の頂部表面上に平面形成停止材料を蒸着すること、フォトレジストを蒸着してパターン化すること、上記停止材料および極細誘電体層を導体パターンにエッチングして上記基体の表面上の上記導電性領域の少なくとも一部を露出すること、壁シールを蒸着すること、導電体金属を蒸着すること、当該構造体を平面形成すること、からなる方法。

【0029】（2）第1項記載の方法において、上記平面形成は化学的機械研磨（CMP）で行われるようにしたことを特徴とする方法。

（3）第1項記載の方法において、上記平面形成停止材料は上記極細誘電体に達しないようにCMP平面形成方法を停止するようにしたことを特徴とする方法。

（4）第1項記載の方法において、上記導体金属は本質的にアルミニウム、タングステン、銅あるいはそれらの組合せからなるようにしたことを特徴とする方法。

（5）第1項記載の方法において、上記導体蒸着はブランケットスパッタリングによることを特徴とする方法。

【0030】（6）第5項記載の方法において、上記スパッタリングはHDPスパッタリングであることを特徴とする方法。

（7）第5項記載の方法において、上記スパッタリングは300～600°Cの温度で行うようにしたことを特徴とする方法。

（8）第5項記載の方法において、上記スパッタリングの後、300～600°Cの温度の金属リフローあるいは500～4000psiの圧力の押し出しが生じるようにしたことを特徴とする方法。

【0031】（9）第1項記載の方法において、壁シールの上記蒸着は、平面形成停止材料および極細多孔性誘電体層上に誘電体を等方向的に蒸着すること、上記平面形成材料および上記基体の表面上の導電性領域から上記誘電体を除去するように上記誘電体を異方向的にパター

ン化およびエッチングすること、のステップからなることを特徴とする方法。

【0032】（10）第9項記載の方法において、上記平面形成は化学的機械研磨（CMP）で行われるようにしたことを特徴とする方法。

（11）第9項記載の方法において、上記平面形成停止材料は上記極細多孔性誘電体に達しないようにCMP平面形成方法を停止する材料にしたことを特徴とする方法。

（12）第9項記載の方法において、上記導体金属は本質的にアルミニウム、タングステン、銅あるいはそれらの組合せからなるようにしたことを特徴とする方法。

（13）第9項記載の方法において、導体の上記蒸着はブランケットスパッタリングによって行われるようにしたことを特徴とする方法。

【0033】（14）第13項記載の方法において、上記スパッタリングはHDPスパッタリングであることを特徴とする方法。

（15）第13項記載の方法において、上記スパッタリングは300～600°Cの温度で行うようにしたことを特徴とする方法。

（16）第13項記載の方法において、上記スパッタリングの後、300～600°Cの温度の金属リフローあるいは500～4000psiの圧力の押し出しが生じるようにしたことを特徴とする方法。

【0034】（17）第1項記載の方法において、壁シールの上記蒸着は上記平面形成停止材料および極細多孔性誘電体層上に導線性材料を蒸着することからなるようにしたことを特徴とする方法。

【0035】（18）第17項記載の方法において、上記平面形成は化学的機械研磨（CMP）で行われるようにしたことを特徴とする方法。

（19）第17項記載の方法において、上記平面形成停止材料は上記極細多孔性誘電体に達しないようにCMP平面形成方法を停止する材料にしたことを特徴とする方法。

（20）第17項記載の方法において、上記導体金属は本質的にアルミニウム、タングステン、銅あるいはそれらの組合せからなるようにしたことを特徴とする方法。

（21）第17項記載の方法において、導体の上記蒸着はブランケットスパッタリングであることを特徴とする方法。

【0036】（22）第21項記載の方法において、上記スパッタリングはHDPスパッタリングであることを特徴とする方法。

（23）第21項記載の方法において、上記スパッタリングは300～600°Cの温度で行うようにしたことを特徴とする方法。

（24）第21項記載の方法において、上記スパッタリングの後、300～600°Cの温度の金属リフローあ

るいは500~4000psiの圧力の押し出しが生じるようにしたことを特徴とする方法。

【0037】(25)半発明は誘電体層上に機械的に強固なビアホールおよび被防護導体を形成する方法(この誘電体層は電子マイクロ回路基体上にあり、これらビアホールおよび被防護導体は上記基体の表面上の導電性領域に電氣的に接続される)およびそれによって形成される構造体に関する。一般的に、マイクロ回路上加えられる誘電体層のあるものは好ましい低誘電率を有するが機械的な強固さは小さい多孔性誘電体からなる。一般的に、基体10上に誘電体層を形成すること、基体10上に極細誘電体層14を形成すること、上記極細多孔性誘電体の頂部表面上に導電性パターンの平面形成停止材料16、18を蒸着して上記基体10の表面上の上記導電性領域の少なくとも一部を露出すること、壁シール20を蒸着すること、導体金属26を蒸着すること、この構造体を平面形成すること、からなる特別な方法が記載される。一般的に、ビア金属および導体金属は本質的にアルミニウム、銅あるいはそれらの組合せからなる。導体金属はドーピングされてもよく、選択的に蒸着されたビア金属は導体金属からのドーパント拡散によりドーピングされ、それによって、ドーピングされる選択性金属を蒸着する困難性を回避する。ビアおよび被防護導体が基体の表面上の導電性領域に電氣的に接続されるようにしたオニックマイクロ回路基体を実現する方法とそれによって形成される構造体が表示される。一般的に、マイクロ回路の上に加えられる誘電体層のあるものは好ましい低誘電率を有するが機械的強固さは小さい多孔性誘電体からなる。一般的に、基体10上に誘電体層を形成すること、基体10上に極細誘電体層14を形成すること、上記極細多孔性誘電体の頂部表面上に平面形成停止材料を蒸着すること、フォトレジストを蒸着してパターン化すること、上記停止材料および極細多孔性誘電体層14を導体パターンにエッチングして上記基体10の表面上の上記導電性領域の少なくとも一部を露出すること、壁シール20を蒸着すること、導体金属26を蒸着すること、この構造体を平面形成すること、からなる特別な方法が記載される。一般的に、ビア金属および導体金属は本質的にアルミニウム、銅あるいはそれらの組合せからなる。導体金属はドーピングされてもよく、選択的に蒸着されたビア金属は導体金属からのドーパント拡散によりドーピングされ、それによって、ドーピングされる選択性金属を蒸着する困難性を回避する。有害な機械的効果なしに好ましい絶縁および導電層を実現する方法が表示される。

【図面の簡単な説明】

【図1】A~Kで、例えば銅導体と共に使用されるよう

な導体カプセル化部分を用いるマイクロ回路導体を作るステップおよびそれによって作られる製品を示す。

【図2】A~Eで、例えば銅充填ビアホール(vias)と共に使用されるようなビアカプセル化部分を用いるマイクロ回路ビアホール(ビア)を作るステップおよびそれによって作られる製品を示す。

【図3】A~Gで、例えば銅充填ビアホール(vias)および導体と共に使用されるようなビアおよび導体カプセル化部分を用いる組合せのビアおよび導体を作るプロセスおよびそれによって作られる製品を示す。

【図4】A~Eで、例えばアルミニウム充填ビアホールと共に使用されるようなビアカプセル化部分を用いずにマイクロ回路ビアホールを作るステップおよびそれによって作られる製品を示す。

【図5】A~Gで、側壁カプセル化部分を絶縁しかつ頂部および底部カプセル化部分を導通する状態で導体を与える組合せビアおよび導体プロセスを示す。

【図6】A~Fで、ビアホールが開放されかつ導体溝がパターン化され、次いで選択性金属(例えばアルミニウム)がビアを部分的に満たすために使用され、次いで導体金属が蒸着されるような実施例を示す。

【図7】Aで、CMP停止層が極細多孔性誘電体に蒸着され、次いでダマセン溝が極細多孔性誘電体中にエッチングされている例を示し、B~Eで、側壁蒸着、導体金属蒸着およびCMP後の絶縁性CMP停止層構造を示す図7Aの一層進展したものを示し、F~Hで、導電性壁シールおよび導体金属の蒸着並びにCMP後の、代わりの導電性CMP停止層構造を示す図7Aの一層進展したものを示す。

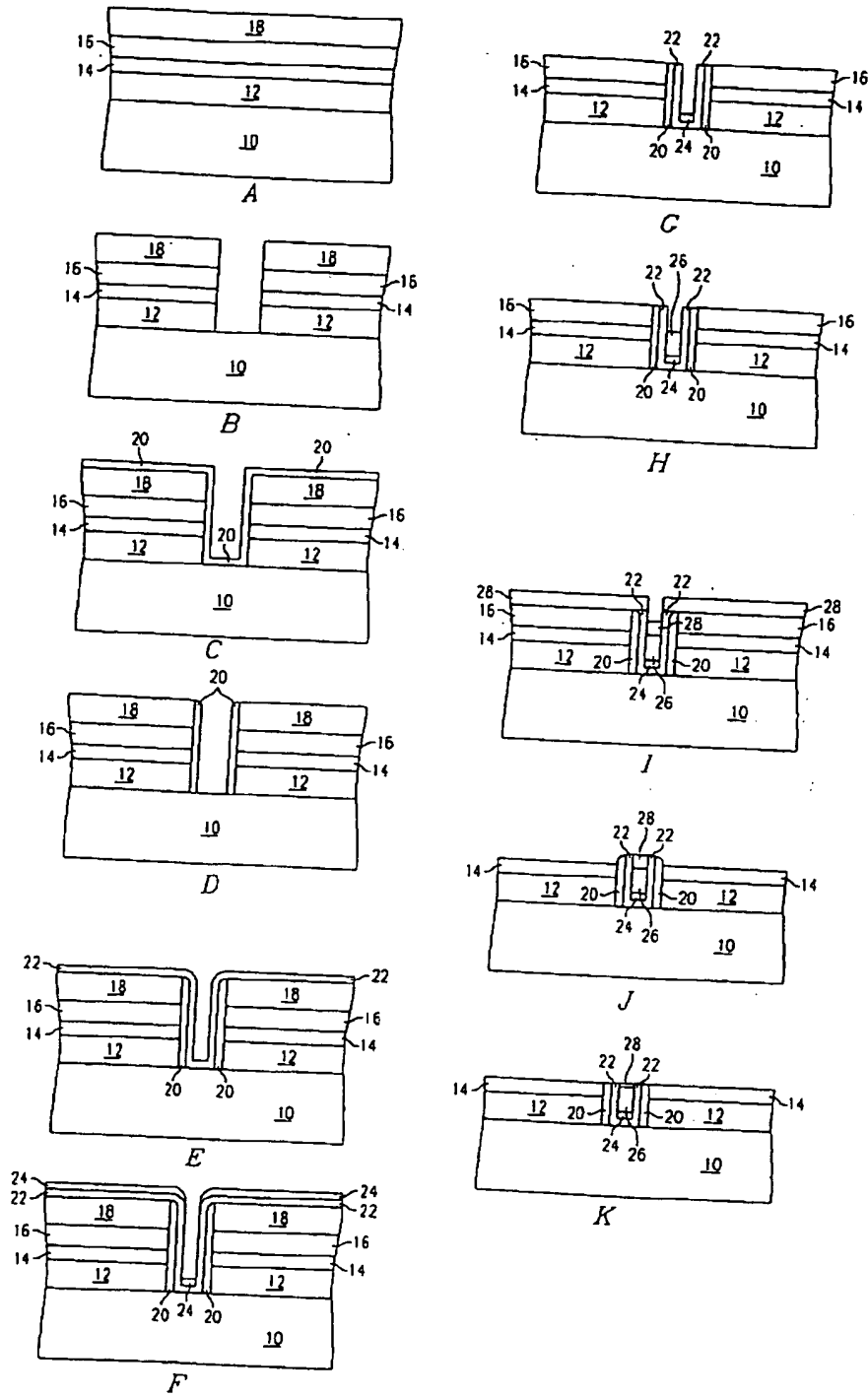
【図8】CMPを含む後続の取扱いの間の機械的に脆弱な多孔性誘電体の存続を向上するためにこの多孔性誘電体を処理する実施例を示す。

【図9】A~Bで、ダマセン溝内の絶縁体上の金属からなる、CMP抑制手段および湿気バリアの2つの層の実施例を示す。

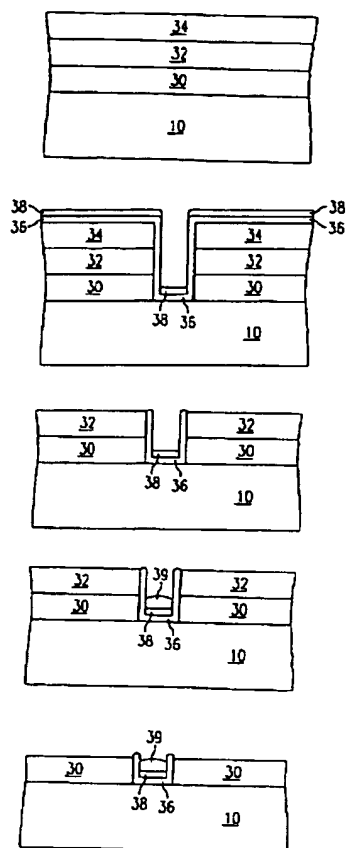
【符号の説明】

- 10 基体
- 12 低密度エーロゲル
- 14 高密度エーロゲル
- 16 防食層
- 18 フォトレジスト
- 20 誘電体シール層
- 22 カプセル化層
- 24 選択的蒸着イニシエータ
- 26 導体材料
- 28 カプセル化部分

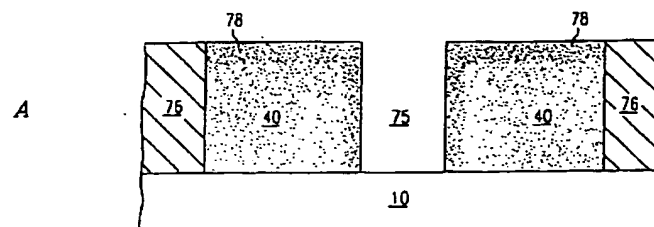
【図 1】



【図 2】



【図 8】



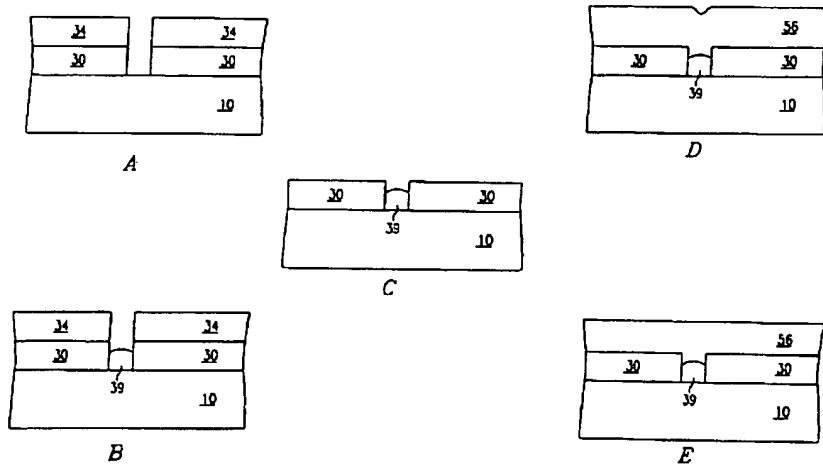
B

C

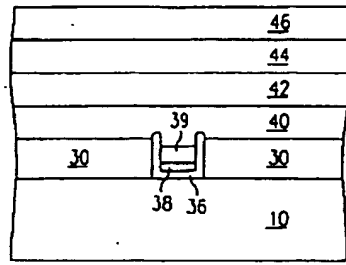
D

E

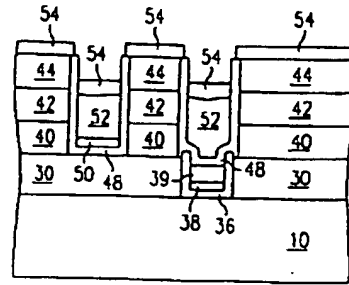
【図 4】



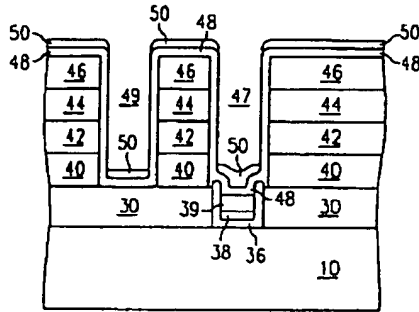
【図3】



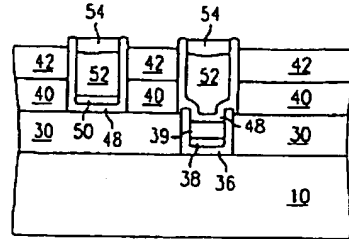
A



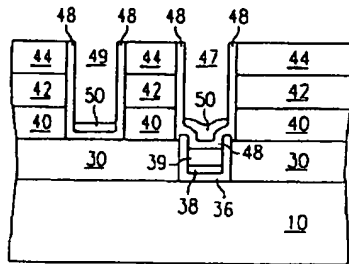
E



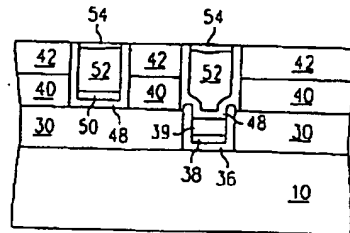
B



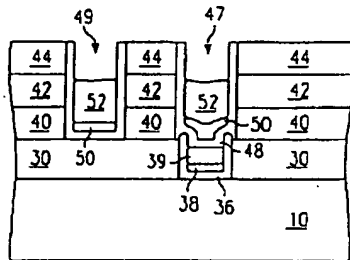
F



C

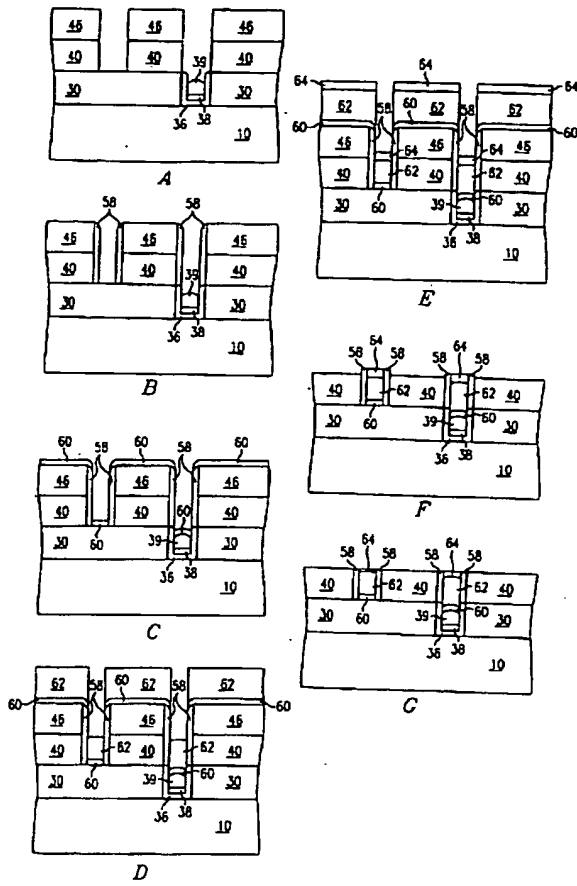


G

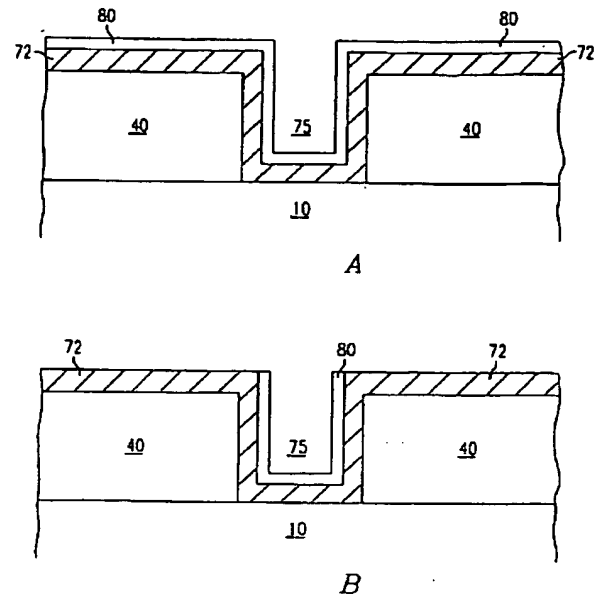


D

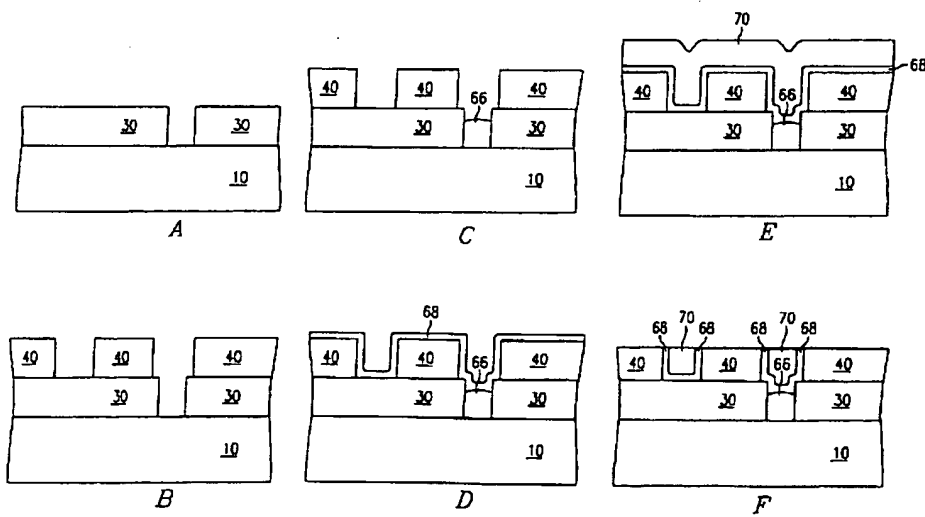
【図5】



【図9】



【図6】



【图7】

